

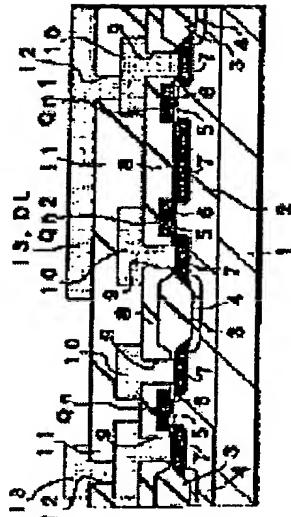
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS FORMATION METHOD

Patent number: JP4276659
Publication date: 1992-10-01
Inventor: SHIBA KAZUYOSHI
Applicant: HITACHI LTD
Classification:
- **international:** H01L27/112
- **European:**
Application number: JP19910038279 19910305
Priority number(s):

Abstract of JP4276659

PURPOSE: To shorten the time required until a production process is finished from the write process of information, to effectively utilize an interconnection layer and to achieve a high integration or a high-speed operation by effectively utilizing the interconnection layer at a semiconductor integrated circuit device provided with a mask ROM of horizontal-type structure.

CONSTITUTION:At a semiconductor integrated circuit device provided with a mask ROM of horizontal-type structure, a plurality of low-resistance interconnection layers 10 and 13 are connected at a memory cell array for said mask ROM of horizontal-type structure, backing interconnections 10 for word lines 6 or source lines 7 are constituted of a lower layer, and information is written depending on whether drain regions at said memory cell are connected to the data lines 13 or not (whether connecting holes 12 exist or not).



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-276659

(43) 公開日 平成4年(1992)10月1日

(51) Int.Cl.⁵
H 01 L 27/112

識別記号
8831-4M

府内整理番号

F I

技術表示箇所

H 01 L 27/10

4 3 3

審査請求 未請求 請求項の数4(全10頁)

(21) 出願番号 特願平3-38279

(22) 出願日 平成3年(1991)3月5日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 志波 和佳

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所武藏工場内

(74) 代理人 弁理士 秋田 収喜

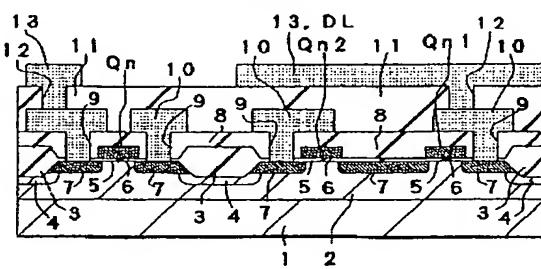
(54) 【発明の名称】 半導体集積回路装置及びその形成方法

(57) 【要約】

【目的】 横型構造のマスクROMを備えた半導体集積回路装置において、情報の書き込み工程から製造プロセスの終了までに要する時間を短縮するとともに、配線層の有効利用を図る。配線層の有効利用は高集積化若しくは高速動作化を達成できる。

【構成】 横型構造のマスクROMを備えた半導体集積回路装置において、前記横型構造のマスクROMのメモリセルアレイに低抵抗の複数層の配線層(10及び13)を構成し、この最上層でデータ線13を構成し、下層でワード線6若しくはソース線7の裏打ち配線(10)を構成するとともに、前記メモリセルのドレイン領域とデータ線13との間の接続の有無で(接続孔12の有無で)情報の書き込みを行う。

図1



1

2

【特許請求の範囲】

【請求項1】 データ線にドレイン領域が接続され、ゲート電極にワード線が接続され、ソース領域にソース線が接続されるMISFETをメモリセルとする横型構造のマスクROMを備えた半導体集積回路装置において、前記横型構造のマスクROMのメモリセルアレイに、メモリセルであるMISFETのゲート電極よりも上層の配線層に形成され、かつ前記ゲート電極よりも小さな抵抗値で形成される複数層の配線層を構成し、この複数層の配線層の最上層にメモリセルに接続されるデータ線を構成し、前記メモリセルのドレイン領域とデータ線との間の接続の有無で情報の書き込みが行われることを特徴とする半導体集積回路装置。

【請求項2】 データ線にドレイン領域が接続され、ゲート電極にワード線が接続され、ソース領域にソース線が接続されるMISFETをメモリセルとする横型構造のマスクROMを備えた半導体集積回路装置において、前記横型構造のマスクROMのメモリセルアレイに、メモリセルであるMISFETのゲート電極よりも上層の配線層に形成され、かつ前記ゲート電極よりも小さな抵抗値で形成される複数層の配線層を構成し、この複数層の配線層の最上層にメモリセルに接続されるデータ線を構成し、前記複数層の配線層の最上層よりも下層にメモリセルに接続されるワード線若しくはソース線を構成するとともに、前記メモリセルのドレイン領域とデータ線との間の接続の有無で情報の書き込みが行われることを特徴とする半導体集積回路装置。

【請求項3】 データ線、ワード線及びソース線に接続されるメモリセルを複数個配列してメモリセルアレイを構成し、このメモリセルアレイの周囲に前記メモリセルの動作を制御しつつMISFETを主体に配置した周辺回路を構成する横型構造のマスクROMを備えた半導体集積回路装置において、前記横型構造のマスクROMの周辺回路に、そのMISFETのゲート電極よりも上層の配線層に形成され、かつ前記ゲート電極よりも小さな抵抗値で形成される複数層の配線層を構成するとともに、前記メモリセルアレイに、前記複数層の配線層の最上層と同一配線層に形成されるデータ線を構成し、かつ前記複数層の配線層の最上層よりも下層の配線層と同一配線層にワード線若しくはソース線を構成し、前記メモリセルとデータ線との間の接続の有無で情報の書き込みが行われることを特徴とする半導体集積回路装置。

【請求項4】 入力信号線と積項線との交差部に配置されるAND型セル、前記積項線と出力信号線との交差部に配置されるOR型セルの夫々を組合せて論理関数が形成されるPLAを備えた半導体集積回路装置の形成方法において、前記PLAの出力信号線を形成し、この出力信号線とOR型セルとの接続の有無により第1情報を書き込むとともに、前記出力信号線と同一配線層に、前記AND型セルに接続される入力信号線の裏打ち配線を形成

する工程と、前記PLAの積項線を形成し、この積項線とAND型セルとの接続の有無により第2情報を書き込むとともに、前記積項線と同一配線層に、前記OR型セルに接続される積項線の裏打ち配線を形成する工程とを備えたことを特徴とする半導体集積回路装置の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路装置に関し、特に、横型構造のマスクROM (Read Only Memory) を備えた半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】 横型構造のマスクROMは、行方向に平行に延在するデータ線と列方向に延在するワード線との交差部に1ビット ([bit]) の情報を記憶するメモリセルが配置される。このメモリセルはMOSFETで構成されており、このMOSFETのゲート電極にワード線が接続され、ソース領域にソース線が接続され、ドレイン領域にデータ線が接続される。

【0003】 前記ワード線はMOSFETのゲート電極のゲート幅方向の端部に一体に構成されかつ電気的に接続される。つまり、ワード線は、MOSFETのゲート電極と同一ゲート材で形成され、若しくは同一製造工程で形成される。ソース線は、MOSFETのソース領域と一体に構成されかつ電気的に接続され、半導体領域 (拡散層) で構成される。データ線は、前記ワード線よりも上層の配線層に形成されたアルミニウム合金配線で形成され、このアルミニウム合金配線の下地絶縁膜である層間絶縁膜に形成された接続孔を通してメモリセルに接続される。アルミニウム合金配線は、前述のワード線、ソース線の夫々に比べて抵抗値が小さく、メモリセルに記憶された情報の読み出し動作速度の高速化を図れる。

【0004】 最近、横型構造のマスクROMは、半導体記憶装置のみに使用されるものの他に、PLA (Programmable Logic Array) 等、論理回路として、又はマイクロプロセッサ等、論理回路に搭載される記憶回路として使用される。このように使用される横型構造のマスクROMは周辺回路に2層の配線層 (例えばアルミニウム合金配線) が構成される。

【0005】 前記周辺回路は、前記複数個のメモリセルが配列されたメモリセルアレイの周囲に配置されるデコーダ回路、センスアンプ回路、バッファ回路等、メモリセルに記憶された情報の読み出し動作を制御する回路である。前記2層の配線層は、周辺回路を構成する素子例えばMOSFET間や回路間を結線する配線の余分な引き回しや迂回を低減し、配線長を短縮できるので、信号伝達速度を速め、横型構造のマスクROMの情報の読み出し動作速度の高速化を図れる。また、2層の配線層は、前述のように配線の余分な引き回しや迂回を低減し、配線

の占有面積を低減できるので、横型構造のマスクROMの集積度を向上できる。

【0006】この横型構造のマスクROMは、大容量化を目的とする論理回路として使用されるものについては、製造プロセス中、複数個のメモリセルのうち情報が書き込まれるメモリセルつまりMOSFETのしきい値電圧を変更し、情報の書き込みを行うことが主流である。しきい値電圧の変更は、MOSFETのゲート電極を形成した後、データ線との間の層間絶縁膜を形成する前に、イオン打込み技術を利用し、前記ゲート電極を通してチャネル領域に不純物を導入することで行われる。

【0007】この情報の書き込み方法は、ドレイン側に隣接するビット間の拡散層を分離する必要がなく、2ビット毎に1個のコンタクトを必要とするので、セルサイズが小さく、横型構造のマスクROMの高集積化つまり大容量化を図れる。

【0008】また、横型構造のマスクROMは、小容量化を目的とする論理回路に搭載する記憶回路として使用されるものについては、製造プロセス中、メモリセルであるMOSFETのドレイン領域とデータ線との接続の有無で情報の書き込みを行うことが主流である。データ線は周辺回路に2層の配線層を構成する場合においても下層側の第1層目の配線層に形成され、情報の書き込みはデータ線の下地絶縁膜となる層間絶縁膜に接続孔（コンタクトホール）を形成するか否かで行われる。

【0009】この情報の書き込み方法は、製造プロセスにおいて、情報の書き込み工程後、データ線、層間絶縁膜、第2層目の配線層、保護膜の夫々を順次形成する工程が行われ、情報の書き込み工程が製造プロセスの終段側にあるので、情報の書き込み工程後、製造プロセスが終了する（製品が完成する）までに要する時間を短縮できる。また、この情報の書き込み方法は、層間絶縁膜に接続孔を形成するマスクのパターンを変更するだけで、製造プロセスで使用するマスクの枚数を増加しない。

【0010】また、この情報の書き込み方式は、ドレイン側に隣接するビット間の拡散層を分離する必要があり、1ビット毎にコンタクトの形成の有無を必要とするので、前記しきい値電圧の変更により書き込みを行う横型マスクROMに比べてセルサイズが大きくなる。

【0011】なお、メモリセルとデータ線との接続の有無で情報の書き込みが行われる横型構造のマスクROMについては、例えば、アイ・イー・ディー・エム、1983年、第577頁（IEDM, 1983, p.577）に記載される。

【0012】

【発明が解決しようとする課題】前述の横型構造のマスクROMは、周辺回路に2層の配線層を構成するにもかかわらず、メモリセルアレイにおいてはデータ線として2層の配線層のうちの第1層目の配線層のみを使用する。このため、横型構造のマスクROMは、前述のいずれの情報の書き込み方法においても、第2層目の配線層を

形成しないと製造プロセスが終了せず、この第2層目の配線層を形成する工程に相当する分、製造プロセスが終了するまでに要する時間が長くなる。

【0013】また、前述の横型構造のマスクROMは、周辺回路に2層の配線層を構成するにもかかわらず、メモリセルアレイにおいては1層の配線層を使用する。このため、横型構造のマスクROMは配線層の有効な利用をしていない。

10 【0014】本発明の目的は、横型構造のマスクROMを備えた半導体集積回路装置において、情報の書き込み工程から製造プロセスの終了までに要する時間を短縮する（工完の短縮化を図る）とともに、配線層の有効利用を図ることが可能な技術を提供することにある。

【0015】本発明の他の目的は、前記目的を達成し、横型構造のマスクROMの動作速度の高速化を図ることが可能な技術を提供することにある。

【0016】本発明の他の目的は、前記目的を達成し、横型構造のマスクROMの集積度を向上することが可能な技術を提供することにある。

20 【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0018】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記のとおりである。

【0019】(1) データ線にドレイン領域が接続され、ゲート電極にワード線が接続され、ソース領域にソース線が接続されるMISFETをメモリセルとする横型構造のマスクROMを備えた半導体集積回路装置において、前記横型構造のマスクROMのメモリセルアレイに、メモリセルであるMISFETのゲート電極よりも上層の配線層に形成され、かつ前記ゲート電極よりも小さな抵抗値で形成される複数層の配線層を構成し、この複数層の配線層の最上層にメモリセルに接続されるデータ線を構成し、前記メモリセルのドレイン領域とデータ線との間の接続の有無で情報の書き込みを行う。

【0020】(2) データ線にドレイン領域が接続され、ゲート電極にワード線が接続され、ソース領域にソース線が接続されるMISFETをメモリセルとする横型構造のマスクROMを備えた半導体集積回路装置において、前記横型構造のマスクROMのメモリセルアレイに、メモリセルであるMISFETのゲート電極よりも上層の配線層に形成され、かつ前記ゲート電極よりも小さな抵抗値で形成される複数層の配線層を構成し、この複数層の配線層の最上層にメモリセルに接続されるデータ線を構成し、前記複数層の配線層の最上層よりも下層にメモリセルに接続されるワード線若しくはソース線を構成するとともに、前記メモリセルのドレイン領域とデータ線との間の接続の有無で情報の書き込みを行う。

【0021】(3) データ線、ワード線及びソース線に接続されるメモリセルを複数個配列してメモリセルアレイを構成し、このメモリセルアレイの周囲に前記メモリセルの動作を制御しつつMISFETを主体に配置した周辺回路を構成する横型構造のマスクROMを備えた半導体集積回路装置において、前記横型構造のマスクROMの周辺回路に、そのMISFETのゲート電極よりも上層の配線層に形成され、かつ前記ゲート電極よりも小さな抵抗値で形成される複数層の配線層を構成するとともに、前記メモリセルアレイに、前記複数層の配線層の最上層と同一配線層に形成されるデータ線を構成し、かつ前記複数層の配線層の最上層よりも下層の配線層と同一配線層にワード線若しくはソース線を構成し、前記メモリセルとデータ線との間の接続の有無で情報の書き込みを行う。

【0022】(4) 入力信号線と積項線との交差部に配置されるAND型セル、前記積項線と出力信号線との交差部に配置されるOR型セルの夫々を組合せて論理関数が形成されるPLAを備えた半導体集積回路装置の形成方法において、前記PLAの出力信号線を形成し、この出力信号線とOR型セルとの接続の有無により第1情報を書き込むとともに、前記出力信号線と同一配線層に、前記AND型セルに接続される入力信号線の裏打ち配線を形成する工程と、前記PLAの積項線を形成し、この積項線とAND型セルとの接続の有無により第2情報を書き込むとともに、前記積項線と同一配線層に、前記OR型セルに接続される積項線の裏打ち配線を形成する工程とを備える。

【0023】

【作用】上述した手段(1)によれば、前記メモリセルの情報の書き込みが最上層の配線層に形成されるデータ線とメモリセルとの接続の有無で行え、この情報の書き込みが製造プロセス上の最上層の配線層を形成する前の(接続孔を形成する工程である)最終段で行えるので、横型構造のマスクROMの情報書き込み工程から製造プロセスの終了までに要する時間を短縮できる(工完短縮)。

【0024】上述した手段(2)によれば、前記手段(1)の作用効果の他に、前記ワード線若しくはソース線の信号伝達速度を速め、メモリセルに記憶される情報の読み出し動作速度を速くできるので、横型構造のマスクROMの動作速度の高速化を図れる。

【0025】上述した手段(3)によれば、前記手段(2)の作用効果の他に、横型構造のマスクROMの周辺回路において、配線層を複数層にし、交差配線ができる、配線の引き回しや迂回を低減し、配線長を短縮できるので、信号伝達速度を速め、動作速度の高速化を図るとともに、若しくは配線の占有面積を縮小し、高集積化を図るとともに、周辺回路の複数層の配線層を利用し、メモリセルアレイのデータ線、ソース線、ワード線のうち、少なくともいずれか2つを低抵抗化できるの

で、情報の読み出し動作速度の高速化を図れる。

【0026】上述した手段(4)によれば、PLAの第1情報の書き込み(例えばメーカー側での情報の書き込み)を固定情報の書き込みとし、第2情報の書き込み(例えばユーザー側での情報の書き込み)だけで所定の論理関数を形成でき(PLAの情報の書き込みを2段階で行い)、この第2情報の書き込みが製造プロセス上の最上層の配線層を形成する工程前(接続孔を形成する工程)つまり最終段で行えるので、工完短縮を図るとともに、出力信号線を形成する工程を利用し、入力信号線の裏打ち配線を形成し、積項線を形成する工程を利用し、積項線(OR型セルアレイの積項線)の裏打ち配線を形成できるので、配線の有効利用ができる。また、入力信号線、積項線(OR型セルアレイの積項線)の夫々に裏打ち配線を形成することにより、信号伝達速度を速め、PLAの動作速度の高速化を図れる。

【0027】以下、本発明の構成について、実施例とともに説明する。

【0028】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0029】

【実施例】(実施例1) 本実施例1は、横型構造のマスクROMのみで半導体記憶装置を構成する、若しくは論理回路に搭載される記憶装置として横型構造のマスクROMを使用する場合に本発明を適用した、本発明の第1実施例である。

【0030】本発明の実施例1である横型構造のマスクROMの構成を図1(要部断面図)で示す。

【0031】図1に示すように、横型構造のマスクROMは単結晶珪素からなるp-型半導体基板1を主体に構成される。メモリセルアレイ、周辺回路のnチャネルMISFETの夫々の形成領域において、前記p-型半導体基板1の主面にはp型ウエル領域2が構成される。また、周辺回路のpチャネルMISFETの形成領域において、前記p-型半導体基板1の主面にはn型ウエル領域(図示しない)が構成される。

【0032】前記横型構造のマスクROMは行方向に平行に延在するデータ線(DL)と列方向に延在するワード線(WL)との交差部に1[bit]の情報を記憶するメモリセルが配置される。このメモリセルはデータ線、ワード線の夫々の延在する方向に複数個配列されメモリセルアレイを構成する。このメモリセルアレイの周囲には、前記メモリセルの情報の読み出し動作を制御する、デコーダ回路、センスアンプ回路、バッファ回路等の周辺回路が配置される。

【0033】前記メモリセルは、図1の右側に及び図2(要部平面図)に示すように、nチャネルMISFET Qn1(例えば、情報が書き込まれない素子)若しくはQn2(例えば、情報が書き込まれた素子)で構成される。

このnチャネルMISFETQn1若しくはQn2は、素子分離絶縁膜（フィールド絶縁膜）3及びp型チャネルストッパ領域4で周囲を規定され囲まれた領域内において、p型ウエル領域2の正面に構成される。つまり、nチャネルMISFETQn1若しくはQn2はp型ウエル領域（チャネル形成領域）2、ゲート絶縁膜5、ゲート電極6、ソース領域及びドレイン領域として使用される一対のn+型半導体領域7を主体として構成される。

【0034】前記nチャネルMISFETQn1若しくはQn2のゲート電極6はゲート材例えは多結晶珪素膜で形成され、この多結晶珪素膜には抵抗値を低減する不純物が導入される。また、ゲート電極6は、高融点金属膜若しくは高融点金属珪化膜の単層（ゲート材）、或は多結晶珪素膜及びその上層に積層した高融点金属膜若しくは高融点金属珪化膜で形成される積層膜（ゲート材）で形成してもよい。

【0035】前記ゲート電極6はそのゲート幅方向の端部にワード線（WL）6が一体に構成されかつ電気的に接続される。つまり、ワード線6はゲート電極6と同一導電層で形成され若しくは同一製造工程で形成される。

【0036】前記n+型半導体領域7は、ゲート電極6のゲート長方向の両端部の夫々において、p型ウエル領域2の正面部に形成される。n+型半導体領域7は例えはイオン打込み法でn型不純物を導入することにより形成する。n+型半導体領域7はソース線と一体に構成されかつ電気的に接続される。つまり、ソース線はn+型半導体領域7で構成される。

【0037】情報が書き込まれないメモリセルであるnチャネルMISFETQn1はドレイン領域に相当するn+型半導体領域7にデータ線（DL）13が接続される。データ線13はゲート電極6の上層にこのゲート電極6に比べて小さい抵抗値で形成された2層の配線層のうち最上層である第2層目の配線層に形成される。データ線13は例えはアルミニウム合金膜で形成される。このアルミニウム合金膜はエレクトロマイグレーション耐性を向上するCu、アロイスピーカー耐性を向上するSiの少なくともいずれかが添加されたアルミニウムである。

【0038】前記データ線13は、層間絶縁膜11の表面上に延在し、この層間絶縁膜11に形成された接続孔（スルーホール）12を通して一旦中間導電層10の一端に接続される。この中間導電層10は、2層の配線層のうち下層側となる第1層目の配線層に形成され、同様にアルミニウム合金膜で形成される。この中間導電層10は層間絶縁膜8の表面上に延在し、中間導電層10の他端は層間絶縁膜8に形成された接続孔（コンタクトホール）9を通してn+型半導体領域7に接続される。

【0039】情報が書き込まれたメモリセルであるnチャネルMISFETQn2はドレイン領域に相当するn+

型半導体領域7にデータ線13が接続されない。具体的には、nチャネルMISFETQn2のドレイン領域に中間導電層10の他端が接続されるが、層間絶縁膜11に接続孔12が形成されず（情報の書き込みが行われ）、中間導電層10の一端とデータ線13とが電気的に接続されない。つまり、メモリセルの情報の書き込みは、データ線13を配線層の最上層で構成し、このデータ線13とメモリセルとを接続するか否かで行われる。

【0040】なお、図示しないが、2層の配線層のうち、第1層目の配線層には、ワード線6の延在方向と同一方向に延在し、このワード線6と短絡される裏打ち配線（シャント用ワード線10）が、若しくはソース線（7）の延在方向と同一方向に延在し、このソース線と短絡される裏打ち配線（10）が構成される。

【0041】前記周辺回路を構成するnチャネルMISFETQnは、図1の左側に示すように、基本的にはメモリセルと同様の構造で構成される。つまり、nチャネルMISFETQnは、素子分離絶縁膜3及びp型チャネルストッパ領域4で周囲を規定されたp型ウエル領域2の正面に構成され、p型ウエル領域2、ゲート絶縁膜5、ゲート電極6、ソース領域及びドレイン領域である一対のn+型半導体領域7で構成される。この周辺回路のnチャネルMISFETQn間、若しくはそれで構成される回路間は、2層の配線層に形成される第1層目の配線10及び第2層目の配線13で結線される。

【0042】また、周辺回路を構成するpチャネルMISFETは、図示しないが、n型ウエル領域の正面に構成され、ゲート絶縁膜5、ゲート電極6、ソース領域及びドレイン領域である一対のp+型半導体領域で構成される。

【0043】次に、前述の横型構造のマスクROMの形成方法について、図3乃至図6（各製造工程毎に示す要部断面図）を使用し、簡単に説明する。なお、ここでの説明においては、pチャネルMISFETの説明は省略する。

【0044】まず、単結晶珪素からなるp-型半導体基板1の正面部にp型ウエル領域2を形成し、この後、p型ウエル領域2の非活性領域の正面に素子分離絶縁膜3、p型チャネルストッパ領域4の夫々を形成する。

【0045】次に、前記p型ウエル領域2の活性領域の正面にp型不純物を導入し、nチャネルMISFETのしきい値電圧をエンハンスメント型に設定する。

【0046】次に、前記p型ウエル領域2の活性領域の正面にゲート絶縁膜5を形成し、図3に示すように、ゲート絶縁膜5上にゲート電極6及び図示しないワード線6を形成する。

【0047】次に、図4に示すように、p型ウエル領域2の活性領域の正面部にn+型半導体領域7を形成する。このn+型半導体領域7を形成する工程により、メモリセルアレイにおいて、メモリセルであるnチャネル

MISFET Qn1 及び Qn2 が形成され、周辺回路において、nチャネルMISFET Qnが形成される。

【0048】次に、前記nチャネルMISFET Qn1、Qn2、Qnの夫々を被覆する層間絶縁膜8を形成し、この後、この層間絶縁膜8に接続孔9を形成する。

【0049】次に、図5に示すように、メモリセルアレイにおいて、層間絶縁膜8の表面上に中間導電層10及び図示しない裏打ち配線(10)を形成するとともに、周辺回路において、配線10を形成する。中間導電層10、裏打ち配線、配線10の夫々は、2層の配線層のうちの下層側の第1層目の配線層に形成される。

【0050】次に、前記第1層目の配線層を被覆する層間絶縁膜11を形成する。この後、図6に示すように、メモリセルアレイにおいて、層間絶縁膜11の情報が書込まれないメモリセルの領域にのみ接続孔12を形成し、情報が書込まれるメモリセルの領域には接続孔12を形成しない。つまり、メモリセルアレイにおいて、情報の書き込みが行われる。周辺回路においては層間絶縁膜11に接続孔12が形成される。

【0051】次に、前記層間絶縁膜11のメモリセルアレイの表面上にデータ線13を形成するとともに、周辺回路の表面上に配線13を形成する。データ線13、配線13の夫々は2層の配線層のうちの最上層の第2層目の配線層に形成される。メモリセルアレイにおいて、情報が書込まれないメモリセルはデータ線13に接続され、情報が書込まれたメモリセルはデータ線13に接続されない。

【0052】この後、前記データ線13、配線13の夫々を被覆する最終保護膜を形成することにより、前述の図1及び図2に示す横型構造のマスクROMは完成する。

【0053】このように、データ線(DL)にドレイン領域(n+型半導体領域7)が接続され、ゲート電極6にワード線(WL)6が接続され、ソース領域にソース線(7)が接続されるnチャネルMISFET Qnをメモリセルとする横型構造のマスクROMにおいて、前記横型構造のマスクROMのメモリセルアレイに、メモリセルであるMISFET Qnのゲート電極6よりも上層の配線層に形成され、かつ前記ゲート電極6よりも小さな抵抗値で形成される複数層の配線層(10及び13)を構成し、この複数層の配線層の最上層にメモリセルに接続されるデータ線13を構成し、前記メモリセルのドレイン領域とデータ線13との間の接続の有無で(接続孔12の有無で)情報の書き込みを行う。この構成により、前記メモリセルの情報の書き込みが最上層の配線層に形成されるデータ線13とメモリセルとの接続の有無で行え、この情報の書き込みが製造プロセス上の最上層の配線層を形成する前の(接続孔12を形成する工程である)最終段で行えるので、横型構造のマスクROMの情報書き込み工程から製造プロセスの終了までに要する時間

を短縮できる(工完短縮が図れる)。

【0054】また、データ線(DL)にドレイン領域(n+型半導体領域7)が接続され、ゲート電極6にワード線(WL)6が接続され、ソース領域にソース線(7)が接続されるnチャネルMISFET Qnをメモリセルとする横型構造のマスクROMにおいて、前記横型構造のマスクROMのメモリセルアレイに、メモリセルであるMISFET Qnのゲート電極6よりも上層の配線層に形成され、かつ前記ゲート電極6よりも小さな抵抗値で形成される複数層の配線層(10及び13)を構成し、この複数層の配線層の最上層にメモリセルに接続されるデータ線13を構成し、前記複数層の配線層の最上層よりも下層にメモリセルに接続されるワード線の裏打ち配線(10)若しくはソース線の裏打ち配線(10)を構成するとともに、前記メモリセルのドレイン領域とデータ線13との間の接続の有無で(接続孔12の有無で)情報の書き込みを行う。この構成により、前述の作用効果の他に、前記ワード線6若しくはソース線(7)の信号伝達速度を裏打ち配線で速め、メモリセル

20 に記憶される情報の読み出し動作速度を速くできるので、横型構造のマスクROMの動作速度の高速化を図れる。

【0055】また、データ線(DL)、ワード線(WL)6及びソース線(7)に接続されるメモリセルを複数個配列してメモリセルアレイを構成し、このメモリセルアレイの周囲に前記メモリセルの動作を制御しつつnチャネルMISFET Qnを主体に配置した周辺回路を構成する横型構造のマスクROMにおいて、前記横型構造のマスクROMの周辺回路に、そのMISFETのゲート電極6よりも上層の配線層に形成され、かつ前記ゲート電極6よりも小さな抵抗値で形成される複数層の配線層を構成するとともに、前記メモリセルアレイに、前記複数層の配線層の最上層と同一配線層に形成されるデータ線13を構成し、かつ前記複数層の配線層の最上層よりも下層の配線層と同一配線層にワード線6の裏打ち配線(10)若しくはソース線(7)の裏打ち配線(10)を構成し、前記メモリセルとデータ線13との間の接続の有無で情報の書き込みを行う。この構成により、前述の効果の他に、横型構造のマスクROMの周辺回路において、配線層を複数層にし、交差配線ができ、配線の

40 引き回しや迂回を低減し、配線長を短縮できるので、信号伝達速度を速め、動作速度の高速化を図るとともに、若しくは配線の占有面積を縮小し、高集積化を図るとともに、周辺回路の複数層の配線層を利用し、メモリセルアレイのデータ線13、ソース線(7)、ワード線(6)のうち、少なくともいずれか2つを低抵抗化できるので、情報の読み出し動作速度の高速化を図れる。

【0056】また、前述の横型構造のマスクROMは、2層の配線層の場合について説明したが、3層若しくはそれ以上の多層の配線層を構成した場合においても同様に、最上層の配線層とメモリセルとの接続の有無で情報

の書き込みを行う。

【0057】(実施例2) 本実施例2は、横型構造のマスクROMの集積度をさらに高めた、本発明の第2実施例である。

【0058】本発明の実施例2である横型構造のマスクROMの構成を図7(要部断面図)で示す。

【0059】図7に示すように、本実施例2の横型構造のマスクROMは、メモリセルであるnチャネルMISFETQn1、Qn2の夫々のドレイン領域に相当するn+型半導体領域7と中間導電層10との間にさらに中間導電層(パッドポリシリコン)15を介在する。この中間導電層15は、nチャネルMISFETQn1、Qn2の夫々のゲート電極6のゲート長方向の側面にサイドウォールスペーサを介在して配置され、ゲート電極6に対してn+型半導体領域7に自己整合で接続される。中間導電層15のn+型半導体領域7との接続部分以外の領域は、ゲート電極6上に引き出され、上層の中間導電層10との接続部分がゲート電極6と重なり合うことを許容する。

【0060】つまり、中間導電層15は、メモリセルであるnチャネルMISFETQn1、Qn2の夫々のゲート電極6と接続孔9の内壁(中間導電層10)との離隔寸法を廃止し、かつ両者の重なり合いを許容できるので、メモリセルの占有面積を縮小し、横型構造のマスクROMの集積度を向上できる。また、同様に、周辺回路において、nチャネルMISFETQnのn+型半導体領域7と配線10との接続には中間導電層15が介在される。

【0061】また、横型構造のマスクROMは、メモリセルアレイにおいて、データ線13と中間導電層10とを接続する接続孔12の内部、周辺回路において、配線13と配線10とを接続する接続孔12の内部の夫々に埋込み導電層16が構成される。埋込み導電層16は例えば選択CVD法で接続孔12内のみ堆積したW膜で形成する。

【0062】この埋込み導電層16は、接続孔12部分の段差を緩和し、データ線13、配線13の夫々の下地絶縁膜となる層間絶縁膜11の表面を平坦化できるので、データ線13、配線13の夫々の加工精度を向上でき、結果的に横型構造のマスクROMの集積度を向上できる。

【0063】(実施例3) 本実施例3は、横型構造のマスクROMで論理回路を構成するPLAを備えた半導体集積回路装置に本発明を適用した、本発明の第3実施例である。

【0064】本発明の実施例3であるPLAの基本的な構成を図8(ブロック回路図)で示す。

【0065】図8に示すように、PLAはANDセルアレイ20及びORセルアレイ21を有する。

【0066】ANDセルアレイ20は行方向に延在する

相補性の入力信号線L1と積項線L2との交差部の任意の位置にAND型セルMAを配置する。AND型セルMAは基本的にnチャネルMISFETで構成される。このnチャネルMISFETのゲート電極は入力信号線L1に接続され、ソース領域は接地電位に接続され、ドレイン領域は積項線L2に接続される。前記入力信号線L1は入力ドライバ回路を介在して入力信号Sinkが入力される。積項線L2は負荷用nチャネルMISFETを介在して電源電位Vddに接続される。

10 【0067】ORセルアレイ21は行方向に延在する出力信号線L3と積項線L2との交差部の任意の位置にOR型セルMOを配置する。OR型セルMOは同様にnチャネルMISFETで構成される。このnチャネルMISFETのゲート電極は積項線L2に接続され、ソース領域は接地電位に接続され、ドレイン領域は出力信号線L3に接続される。前記出力信号線L3は、一端側が負荷用nチャネルMISFETを介在して電源電位Vddに接続され、他端側が出力ドライバ回路が接続される。出力ドライバ回路は出力信号Soutを出力する。

20 【0068】このPLAの具体的な構成を図9(要部平面図)に示す。図9に示すように、PLAのANDセルアレイ20に配置されるAND型セルMAは、素子分離絶縁膜3及びp型チャネルストップ領域(4)で周囲を規定された領域内において、p型ウエル領域(2)の正面に構成される。つまり、AND型セルMAはp型ウエル領域、ゲート絶縁膜(5)、ゲート電極6、ソース領域及びドレイン領域である一対のn+型半導体領域7で構成される。

30 【0069】配線層(アルミニウム合金膜の層数)は前述の実施例1と同様に2層で構成され、AND型セルMAのドレイン領域には2層の配線層のうち最上層の第2層目の配線層に形成される積項線(L2)13が接続される。ANDセルアレイ20において、情報の書き込みはAND型セルMAと積項線13との接続の有無(接続孔12の有無)で行われる。この情報の書き込みは例えばユーザ側でのプログラムを作成する際に行われる。AND型セルMAのゲート電極6はそのゲート幅方向において一体に構成された入力信号線(L1)6に接続され、この入力信号線6には2層の配線層のうちの下層側の第1層目の配線層に形成された裏打ち配線10が接続される。

40 【0070】PLAのORセルアレイ21に配置されるOR型セルMOは、同様に、素子分離絶縁膜3及びp型チャネルストップ領域で周囲を規定された領域内において、p型ウエル領域の正面に構成される。つまり、OR型セルMOはp型ウエル領域、ゲート絶縁膜、ゲート電極6、ソース領域及びドレイン領域である一対のn+型半導体領域7で構成される。

【0071】OR型セルMOのドレイン領域には2層の配線層のうち第1層目の配線層に形成される出力信号線

13

(L 3) 10 が接続される。ORセルアレイ 21において、情報の書き込みはOR型セルMOと出力信号線10との接続の有無（接続孔9の有無）で行われる。この情報の書き込みは例えばメーカー側での固定プログラムを作成する際に行われる。積項線13は、OR型セルMOのゲート電極6上にそれと同一方向に延在するとともに電気的に接続され、ORセルアレイ21において、裏打ち配線13を構成する。

【0072】このPLAの形成方法については、前述の実施例1の横型構造のマスクROMとほぼ同様であるので、ここでの説明は省略する。

【0073】このように、入力信号線L1と積項線L2との交差部に配置されるAND型セルMA、前記積項線L2と出力信号線L3との交差部に配置されるOR型セルMOの夫々を組合せて論理関数が形成されるPLAを備えた半導体集積回路装置の形成方法において、前記PLAの出力信号線（L3）10を形成し、この出力信号線10とOR型セルMOとの接続の有無により第1情報

を書き込むとともに、前記出力信号線10と同一配線層に、前記AND型セルMAに接続される入力信号線L1の裏打ち配線10を形成する工程と、前記PLAの積項線（L2）13を形成し、この積項線13とAND型セルMAとの接続の有無により第2情報を書き込むとともに、前記積項線13と同一配線層に、前記OR型セルMOに接続される積項線（6）の裏打ち配線13を形成する工程とを備える。この構成により、PLAの第1情報の書き込み（例えばメーカー側での情報の書き込み）を固定情報の書き込みとし、第2情報の書き込み（例えばユーザー側での情報の書き込み）だけで所定の論理関数を形成でき（PLAの情報の書き込みを2段階で行い）、この第2情報の書き込みが製造プロセス上の最上層の配線層（13）を形成する工程前（接続孔12を形成する工程）つまり最終段で行えるので、工完短縮を図るとともに、出力信号線10を形成する工程を利用し、入力信号線（L1）6の裏打ち配線10を形成し、積項線13を形成する工程を利用し、積項線（OR型セルアレイの積項線L2）6の裏打ち配線13を形成できるので、配線の有効利用ができる。また、入力信号線6、積項線（OR型セルアレイの積項線）6の夫々に裏打ち配線10、13の夫々を形成することにより、信号伝達速度を速め、PLAの動作速度の高速化を図れ、若しくは、入力信号線6、積項線6の夫々の配線の占有面積を縮小できるので、PLAの高集積化を図れる。

【0074】なお、前述のPLAは、前記積項線とAND型セルとの接続の有無により第1情報を書き込むとともに、前記積項線と同一配線層に、前記OR型セルに接続

14

される積項線の裏打ち配線を形成し、前記出力信号線とOR型セルとの接続の有無により第2情報を書き込むとともに、前記出力信号線と同一配線層に前記AND型セルに接続される入力信号線の裏打ち配線を形成してもよい。

【0075】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0076】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0077】横型構造のマスクROMを備えた半導体集積回路装置において、情報の書き込み工程から製造プロセスの終了までに要する時間を短縮できる（工完の短縮化を図れる）とともに、配線層の有効利用を図れる。

【0078】また、横型構造のマスクROMを備えた半導体集積回路装置において、動作速度の高速化を図れる。

【0079】また、横型構造のマスクROMを備えた半導体集積回路装置において、集積度を向上できる。

【図面の簡単な説明】

【図1】本発明の実施例1である横型構造のマスクROMの要部断面図。

【図2】前記横型構造のマスクROMの要部平面図。

【図3】前記横型構造のマスクROMの形成方法を説明する第1工程での要部断面図。

【図4】第2工程での要部断面図。

【図5】第3工程での要部断面図。

【図6】第4工程での要部断面図。

【図7】本発明の実施例2である横型構造のマスクROMの要部断面図。

【図8】本発明の実施例3であるPLAのブロック回路図。

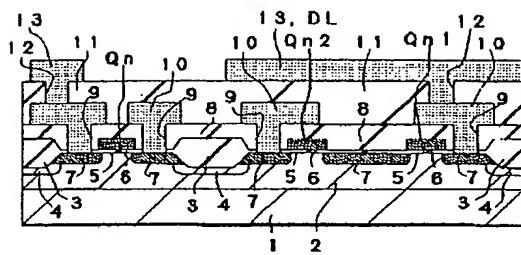
【図9】前記PLAの具体的な構成を示す要部平面図。

【符号の説明】

1…半導体基板、2…ウエル領域、5…ゲート絶縁膜、6…ゲート電極、ワード線、入力信号線又は積項線、7…半導体領域、9、12…接続孔、10…配線、裏打ち配線、中間導電層又は出力信号線、13…配線、データ線、裏打ち配線又は積項線、Qn…MISFET、DL…データ線、WL…ワード線、L1…入力信号線、L2…積項線、L3…出力信号線、MA…AND型セル、MO…OR型セルである。

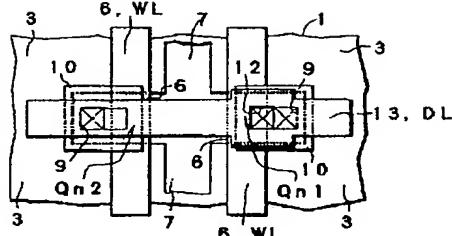
【図1】

図1



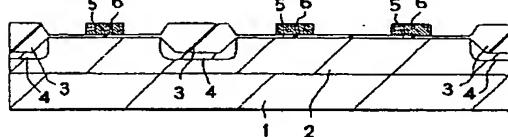
【図2】

図2



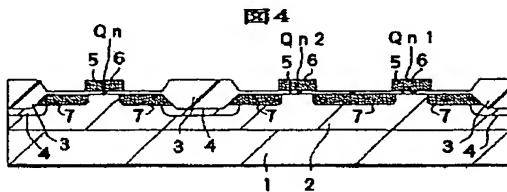
【図3】

図3



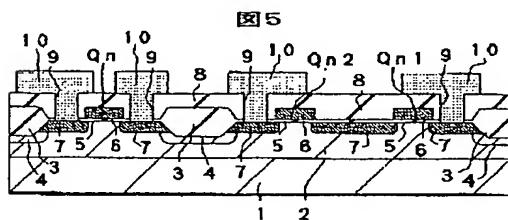
【図4】

図4

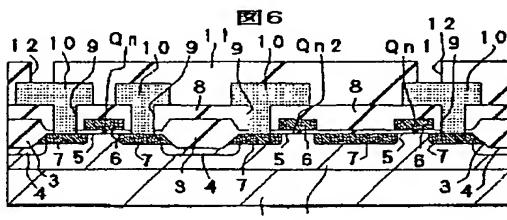


【図5】

図5

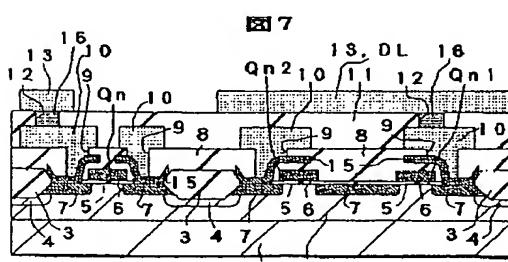


【図6】

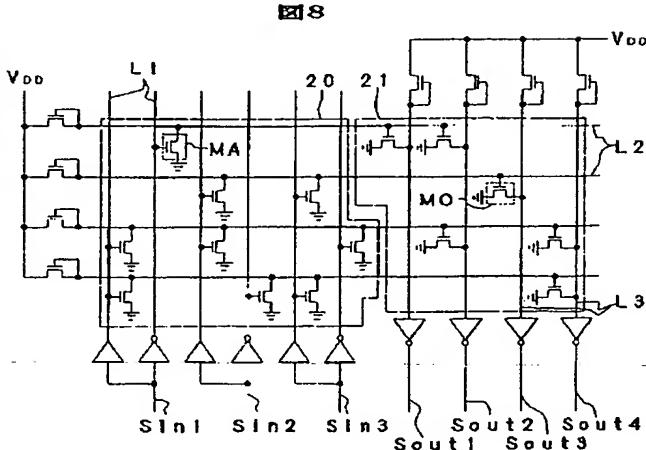


【図7】

図7



【図8】



【図9】

